

# 2  
5-8-02  
Maish

jc971 U.S. PRO  
10/083756  
02/25/02



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 9382 호  
Application Number PATENT-2001-0009382

출원년월일 : 2001년 02월 23일  
Date of Application FEB 23, 2001

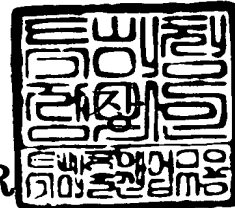
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001      년      08      월      31      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.02.23
【발명의 명칭】	반도체 제조 공정의 막질 형성 방법 및 그에 따른 트렌치 격리 구조
【발명의 영문명칭】	METHOD OF FORMING A LAYER IN AN INTEGRATED CIRCUIT DEVICE PROCESS AND A TRENCH ISOLATION STRUCTURE

## 【출원인】

【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3

## 【대리인】

【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2

## 【대리인】

【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6

## 【발명자】

【성명의 국문표기】	김도형
【성명의 영문표기】	KIM, DO HYUNG
【주민등록번호】	681208-1537914
【우편번호】	156-090
【주소】	서울특별시 동작구 사당동 209-3번지 대아아파트 101동 1307호

【국적】	KR
------	----

## 【발명자】

【성명의 국문표기】	김성의
【성명의 영문표기】	KIM, SUNG EUI
【주민등록번호】	680409-1951613

【우편번호】 449-900  
【주소】 경기도 용인시 기흥읍 농서리 산 24번지  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 17 면 17,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 28 항 1,005,000 원  
【합계】 1,051,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

반도체 제조 공정 중에 노출된 실리콘 반도체 기판 표면에 소정 두께의 열산화막을 형성하는 방법을 제공한다. 가능한 얇게 열산화막을 형성하여 부피 팽창에 따른 실리콘 반도체 기판의 결함을 최소화하고, 이어서 얇은 열산화막 상에 필요로 되는 나머지 두께를 화학적기상증착 산화막으로 대신한다. 특히 얇은 열산화막을 화학적기상증착 산화막과 동일 장비 내에서 형성하여 공정의 단순화 및 파티클에 의한 미세 오염 문제 등을 피할 수 있다.

## 【대표도】

도 9

## 【명세서】

## 【발명의 명칭】

반도체 제조 공정의 막질 형성 방법 및 그에 따른 트렌치 격리 구조{METHOD OF FORMING A LAYER IN AN INTEGRATED CIRCUIT DEVICE PROCESS AND A TRENCH ISOLATION STRUCTURE}

## 【도면의 간단한 설명】

도 1은 본 발명에 따른 실리콘 반도체 기판의 일부를 나타내는 단면도이다.

도 2는 도 1에 후속 하는 공정으로서 상기 실리콘 반도체 기판 상에 두께 'A'를 갖는 열산화막(102)을 형성한 후의 반도체 기판을 나타내는 단면도이다.

도 3은 도 2에 후속 하는 공정으로서 상기 열산화막(102) 상에 두께 'C'를 갖는 화학적기상증착 절연막질(104)을 형성한 후의 반도체 기판을 나타내는 단면도이다.

도 4는 도 3에 후속 하는 공정으로서 상기 화학적기상증착 절연막질(104) 상에 다른 화학적기상증착 절연막질(106)을 형성한 후의 반도체 기판을 나타내는 단면도이다.

도 5내지 도 9는 본 발명의 막질 형성 방법에 따른 트렌치 격리 형성 방법을 공정 순서에 따라 도시한 반도체 기판의 단면도들이다.

도 10은 종래 막질 형성 방법에 따라 실리콘 기판 상에 두께 'T2'를 갖는 열산화막(202)을 형성한 반도체 기판을 개략적으로 나타내는 단면도이다.

도 11은 각각 트렌치 형성후 열산화 공정을 진행하지 않은 경우와 열산화 공정을 진행했을 경우의 누적 누설전류 분포를 나타내는 그래프이다.

도 12는 트렌치 형성후 열산화 공정을 진행하지 않았을 경우 게이트 산화막 특성이 열화되는 것을 보여주기 위한 반도체 기판의 개략적인 단면도이다.

도 13 및 도 14는 트렌치 형성후 열산화막을 각각 200Å, 100Å 정도 형성했을 경우의 트렌치 격리 구조를 개략적으로 나타내는 반도체 기판의 단면도이다.

도 15는 누적 누설전류 분포를 나타내는 그래프이다.

\* 도면의 주요 부분에 대한 부호의 설명

100 : 단결정 실리콘 기판    102 : 열산화막

104 : 화학적기상증착 산화막 또는 절연막

T1 : 실리콘 기판 두께    a1 : 실리콘 기판 소모 두께

300 : 단결정 실리콘 기판    302 : 패드 산화막

302a : 패드 산화막을 구성하는 열산화막

302b : 패드 산화막을 구성하는 화학적기상증착 산화막

304 : 마스크 질화막    306 : 트렌치

308 : 트렌치 내부 열산화막    310 : 화학적기상증착 절연막

314 : 트렌치 라이너 질화막    316 : 트렌치 격리 물질

318 : 트렌치 격리 구조

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<22> 본 발명은 반도체 제조 공정의 막질 형성 방법에 관한 것으로서, 더욱 상세하게는 열산화막 형성 방법 및 그에 따른 트렌치 격리 구조에 관한 것이다.

<23> 반도체 제조 공정 중에 진행되는 열산화 공정으로, 트렌치 격리 방법을 이용한 소자 분리 공정에서 패드 산화막 형성 공정 및 트렌치 산화 공정이 있고, 이온 주입시 버퍼막으로 사용하기 위한 열산화막 공정(스크린 산화 공정), 게이트 산화 공정, 게이트 패터닝 후 산화 공정, 커패시터 절연막을 형성하기 위한 산화 공정 등이 있다. 열산화 공정은 고온(약 800℃에서 약 1100℃의 범위) 산소 분위기에서 퍼니스에서 진행된다. 열산화 공정은, 열산화 분위기(ambient)에 따라 건식 열산화 및 습식 열산화가 있으며, 어느 경우이든지 열산화 공정을 진행하면, 실리콘 기판도 소모되고(성장하는 열산화막 대비 약 44%의 실리콘이 소모됨), 열산화로 인한 부피 팽창(소비된 막질의 약 2.2배 정도)이 일어난다. 이러한 부피 팽창은 실리콘 기판의 물리적 결함, 예를 들어, 소자 분리를 위한 트렌치 식각 후 과도한 열산화 공정으로 인한 실리콘 반도체 기판 내에 얇은 구멍(pit)이 발생한다. 그렇다고 열산화 공정을 하지 않을 수도 없다.

<24> 예를 들어, 게이트 패터닝 후 열산화 공정을 하지 않으면, 반도체 기판의 결함은 발생하지 않지만, 게이트 산화막의 특성이 열화되는 문제가 발생한다. 또한 소자 분리를 위한 트렌치 격리 방법에 있어서, 트렌치 형성 후 열산화를 진

행하지 않으면, 게이트 산화막의 특성이 열화되고, 접합 누설 전류(N+/P current leakage)가 증가하게 된다. 도 11은 각각 트렌치 형성후 열산화 공정을 진행하지 않은 경우(-□-)와 열산화 공정을 진행했을 경우(-○-)의 누적 접합 누설전류 분포를 나타내는 그래프이다. 여기서 P형 기판은 그라운드로 하고 N+ 영역(약  $10^{15}$  atoms/cm<sup>2</sup>)에 약 2.5 볼트를 인가하여 측정한 결과이다. 도시된 바와 같이 열산화를 진행하지 않을 경우 누설 전류가 증가했음을 알 수 있다. 또한 도 12는 열산화 공정을 진행하지 않았을 경우 게이트 산화막 특성이 열화되는 것을 보여주는 반도체 기판의 개략적인 단면도로서, 활성영역의 가장자리에 형성되는 게이트 산화막이 다른 곳에 비해 얇게 형성되는 것을 볼 수 있다.

<25> 따라서 열산화 공정을 진행하되, 최소한의 두께로 형성하는 것이 바람직하다. 즉, 실리콘 기판의 소모를 최소화하여 그 부피 팽창에 따른 스트레스를 최소화하는 것이 바람직하다. 하지만, 일정한 두께 이상의 열산화막을 필요로 하는 때도 있다. 일 예로 트렌치 형성후 그 내부에 형성되는 열산화막이 그것이다. 즉 열산화막이 너무 얇게 형성되면 후속 공정으로 질화막 라이너가 형성될 경우, 질화막 라이너 및 열산화막 계면에 발생하는 결함 또는 질화막 자체에 발생하는 결함으로 인한 불순물질이 얇은 열산화막을 뚫고(터널링 현상) 실리콘 반도체 기판으로, 즉 트렌치 상부 모서리 쪽으로 확산해 소자를 열화시킨다. 따라서 불순물질을 트래핑(trapping) 하기 위해서 열산화막은 일정 두께 이상으로 형성되어야 한다.

<26> 또한 트렌치를 이용한 소자 격리 방법에 있어서, 열산화막 두께에 따라 소모되는 실리콘의 양이 차이가 나기 때문에, 열산화 정도에 따라 트렌치 상부 모



서리의 프로파일도 달라지게 된다. 즉, 열산화막의 두께가 두꺼울 수록 트렌치 상부 프로파일은 불량해진다. 이를 알아보기 위해 본 발명자들은 열산화막의 두께에 따른 트렌치 상부 모서리의 프로파일을 검사해 보았다. 트렌치 형성 후 그 내부에 불순물질의 침투를 방지하기 위해 열산화막을 두껍게, 예를 들어 약 200 Å 정도로 형성하였다. 그러나, 도 13에서 볼 수 있듯이, 트렌치의 상부 모서리의 반도체 기판 프로파일이 샤프(sharp)해지고, 트렌치 상부 모서리 부분에 형성되는 게이트 산화막이 다른 부분에 비해 특히 얇게 형성되기 때문에 균일한 두께를 가지는 게이트 산화막을 형성하는 것이 어렵게 되어 게이트 산화막의 신뢰성을 확보할 수 없게 되는 문제점이 발생할 수 있다. 강한 전계가 인가되면 얇은 게이트 산화막이 파괴될 (break down) 수도 있다.

<27> 한편, 실리콘 기판의 소모를 줄이기 위해, 트렌치 내부에 열산화막을 얇게, 예를 들어 약 100Å 정도로 형성해 보았다. 이 경우, 도 14에서 볼 수 있듯이, 트렌치 상부 모서리의 반도체 기판 프로파일은 곡선으로 양호하게 되었으며, 게이트 산화막이 트렌치 상부 모서리 부분에서 얇게 형성되는 것을 피할 수 있었다. 하지만, 상술한 바와 같이, 후속 공정으로 질화막 라이너가 형성될 경우, 불순물질이 실리콘 기판으로 침투하게 된다. 이는, 열산화막이 얇게 형성되어 불순물질을 충분히 트랩핑(trapping) 하지 못하기 때문이다.

<28> 따라서 트렌치 격리 방법에 있어서, 트렌치 측벽에 형성되는 열산화막의 경우 일정한 두께 이상으로 형성되어야 하며 따라서 부피 팽창에 따른 실리콘 반도체 기판의 결함 발생은 피할 수 없다.

<29> 이상에서 살펴본 바와 같이 열산화막 공정은, 최소한 일정 두께이상으로 형성되어야 하고 또한 반도체 기판 결함 관점에서는 최소의 두께로 형성되어야 하는 서로 양립할 수 없는 조건을 필요로 한다.

【발명이 이루고자 하는 기술적 과제】

<30> 따라서 본 발명의 목적은 상술한 제반 문제점을 해결하기 위한 것으로서, 먼저 열산화막을 가능한 얇게 형성하고 이후 화학적기상증착 산화막 또는 다른 화학적기상증착 절연막을 형성하여 원하는 두께의 산화막을 형성하는 반도체 제조 공정의 막질 형성 방법을 제공하는 것에 본 발명의 목적이 있다.

<31> 본 발명의 다른 목적은 상기 막질 형성 방법에 따른 트렌치 격리 구조 형성 방법 및 그에 따른 트렌치 격리 구조를 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<32> 상술한 기술적 과제를 해결하기 위한 본 발명의 일 특징에 따르면, 단결정 실리콘 기판 표면에 목적하는 두께의 열산화막을 형성함에 있어서, 상기 단결정 실리콘 기판의 소모를 최소화 하기 위해 열산화막은 최소한의 두께로 형성하도록 열산화 공정을 진행하고, 나머지 두께는 열산화 방법이 아닌 화학적기상증착 방법에 의한 산화막에 의해 형성하는 것이다. 즉, 종래 열산화막 단일층을 대신해서 본 발명에 따르면, 열산화막 및 그 상부에 형성되는 화학적기상증착 산화막의 이중층 구조를 제공한다. 본 발명에 따른 이중층 구조에서 열산화막은 가능한 얇게 형성되기 때문에 실리콘 기판의 소모를 최소화할 수 있다.

<33> 바람직하게는, 열산화 공정을 퍼니스에서 진행할 수 있다. 더 바람직하게는, 상기 열산화 공정이 화학적기상증착법에 의한 산화막 형성을 위한 장비 내에서 형성된다. 즉, 동일한 화학적기상증착 장비 내에서 열산화막을 얇게 형성하고 연속해서 화학적기상증착 산화막을 형성하는 것이 더 바람직하다. 왜냐하면, 실리콘 반도체 기판이 공기 중에 노출되지 않아 미세한 파티클 등에 의한 미세 오염 내지는 미세 결함을 예방할 수 있기 때문이다. 또한 화학적기상증착 산화막 형성 후에 다른 절연막 또는 도전막이 형성될 경우, 상기 다른 절연막 또는 도전막이 화학적기상증착 장비에서 형성될 경우 더욱더 효과적이다. 동일한 장비 내에서 연속하여 막질을 형성할 수 있어 공정이 단순해지기 때문이다.

<34> 화학적기상증착 장비에서 화학적기상증착 산화막을 형성할 때에, 산화막 소스로서 산소를 포함하는 가스와 실리콘을 포함하는 가스를 사용하기 때문에, 화학적기상증착 산화막을 형성하기 전에 적당한 온도 및 압력 조건에서 산화막 소스 가스로 산소를 포함하는 가스 만을 먼저 화학적기상증착 장비 내로 흘려 보내어 열산화막을 형성하고 연속하여 온도 및 압력 조건을 변경하고 실리콘을 포함하는 소스 가스를 추가하여 화학적기상증착 산화막을 형성함으로써 공정이 매우 간단해 진다.

<35> 구체적으로, 화학적기상증착 장비 내에서 열산화막을 형성할 경우, 공급되는 산소 소스로  $O_2$ ,  $N_2O$  또는 이들의 혼합 가스를 사용하며 온도는 약  $750^\circ\text{C}$ 에서 약  $1000^\circ\text{C}$  범위이다. 압력은 약 1토르(torr) 이상에서 진행된다. 계속 해서 화학적기상증착 산화막을 형성할 경우, 온도 및 압력을 낮추고 실리콘 소스로  $SiH_4$  를 산소 소스로  $N_2O$ 를 사용하여 약  $700^\circ\text{C}$ 에서 약  $850^\circ\text{C}$  의 온도 범위에서

약 0.5 토르에서 약 1 토르 범위의 압력에서 진행한다. 이 경우 실리콘 소스가스가 공급되며, 단결정 실리콘 기판이 소모되지 않는다.

<36> 열산화막 상에 화학적기상증착 산화막을 대신해서 다른 절연막이 형성 될 경우, 역시 동일한 장비 내에서 소스 가스, 온도 조건 등을 변경하면 된다. 예를 들어, 화학적기상증착 장비 내에서 열산화막을 형성하고 그 상부에 알루미늄 삼산화막을 형성할 경우, 동일한 화학적기상증착 장비 내에서, 삼메틸 알루미늄 ( $\text{Al}(\text{CH}_3)_3$ )과 물( $\text{H}_2\text{O}$ )을 소스 가스로 사용하고, 탄탈륨 오산화막을 형성할 경우, 소스 가스로서  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 와  $\text{O}_2$ 를 사용한다.

<37> 일 예로, 트렌치 형성후 절화막 라이너 형성 전에 진행되는 열산화 공정의 경우 열산화막 상에 화학적기상증착 산화막 또는 다른 절연막, 예를 들어 삼메틸 알루미늄, 탄탈륨 오산화막, 산화 지르코늄막 등이 형성될 수 있다. 본 발명에 따르면, 열산화막 및 그 상부에 형성되는 화학적기상증착 산화막 또는 다른 절연막의 이중층이 종래 열산화막 단일층을 대신한다. 이때, 열산화막은 가능한 얇게 형성하여 트렌치 상부 모서리 부분의 프로파일을 라운드지게 하여 그 부분에 게이트 산화막이 얇게 형성되는 것을 방지하고 또한 부피 팽창에 따른 단결정 실리콘 기판의 결함도 최소화 한다. 예를 들어 약 20Å 이상 약 100Å이하로 형성한다. 상기 열산화막 상에 형성되는 화학적기상증착 산화막 또는 다른 절연막은 이미 형성된 얇은 열산화막과 더불어 절화막 라이너로 인한 불순물질 침투를 방지할 수 있는 두께로 형성한다. 예를 들어 약 50Å에서 약 400Å의 두께 범위로 형성한다. 상기 이중층의 두께는 불순 물질 침투를 방지하기에 충분한 최소 두께로 형성하여 후속 트렌치 격리 물질의 트렌치 충전 특성을 향상시키는 것이 더

바람직하다. 열산화 공정을 퍼니스에서 진행할 수도 있으며, 더 바람직하게는 화학적기상증착 장비에서 진행하여 공정 중에 실리콘 기판이 공기 중에 노출되는 것을 피한다. 이 경우, 트렌치 형성후 그 내부에 형성되는 막질들, 즉, 열산화막, 화학적기상증착 산화막 또는 다른 절연막, 라이너 질화막 그리고 트렌치 격리 물질이 모두 동일한 화학적기상증착 장비 내에서 형성되며, 온도, 소스 가스 및 압력 조건 등을 변경하여 각각의 막질을 형성한다.

<38> 또한, 트렌치 열산화막 공정 이외의 기타 열산화막 공정, 예를 들어, 게이트 식각 후 열산화막 공정, 소자 분리후 이온주입을 위한 버퍼막 형성을 위한 열산화 공정, 트렌치 격리 방법에 있어서 패드 산화막 형성을 위한 열산화 공정 등에서도 종래의 열산화막 단일층 대신 열산화막 및 화학적기상증착 산화막의 이중층을 사용하여 열산화막을 최소한의 두께로 형성하여 부피 팽창을 최소로 한다.

<39> 상술한 본 발명의 열산화막 및 화학적기상증착 산화막(또는 다른 절연막)의 이중층 구조는 반도체 제조 공정 중에 노출된 단결정 실리콘 기판 표면에 열산화막을 형성하는 공정 어느 곳에도 적용될 수 있다.

<40> 이하에서는 첨부되는 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

<41> 본 발명은 반도체 제조 공정의 막질 형성 방법에 관한 것으로서, 구체적으로는 단결정 실리콘 기판 표면에 열산화막을 형성하는 방법에 관한 것이다. 반도체 제조 공정은 여러 번의 열산화 공정을 필요로 하며, 이러한 열산화막 공정은 높은 온도를 필요로 하고 통상 퍼니스에서 진행된다. 열산화 공정은 주지하는 바와 같

이 노출된 실리콘 기판을 소모하고 이에 따른 부피 팽창이 일어나 물리적 열적 스트레스를 발생시키며 이로 인해 단결정 실리콘 기판에 결함을 야기한다. 따라서 열산화막을 최소 두께로 형성하는 것이 바람직하다. 하지만, 열산화막이 어느 정도의 두께 이상으로 형성되어야 하는 경우도 있다. 따라서 본 발명은 양립할 수 없는 열산화막 공정 조건을 열산화막 및 그 상부에 형성되는 화학적기상증착 산화막(또는 다른 절연막)의 이중층 구조를 택하여 해결하고 있다.

<42> 도 1은 예를 들어, 'T1'의 두께를 가지는 단결정 실리콘 기판(100)의 단면을 나타낸다. 상기 단결정 실리콘 기판(100)은 반도체 제조 공정의 여러 단계에서 열산화막이 형성되기 전의 노출된 단결정 실리콘 기판을 나타낸다. 예를 들어, 소자 분리를 위한 트렌치 형성 공정에 있어서, 패드 산화막(열산화막) 형성 전의 단결정 실리콘 기판, 소자 분리후 이온 주입 버퍼막으로 열산화막을 형성하기 전의 단결정 실리콘 기판, 게이트 산화막 형성 전의 단결정 실리콘 기판, 게이트 식각 후 열산화 공정 전의 단결정 실리콘 기판이 될 수 있다.

<43> 상기 노출된 단결정 실리콘 기판(100) 표면 상에 소정의 두께(T2)를 필요로 하는 열산화막을 형성할 경우(도 3), 종래의 경우 도 10에 도시된 바와 같이 이를 모두 열산화막(202)으로 형성하였다. 이때에 약 'a2' 두께 만큼의 단결정 실리콘 기판이 소모된다(202a). 하지만 본 발명의 경우, 먼저 가능한 최소의 두께(도면에서는 인출부호 'A'로 표시됨)로 열산화막(102)을 형성 하고(도 2 참조, 이때에 실리콘 기판이 약 'a1' 만큼 소모된다(102a)), 이후 필요로 되는 두께인 'T2'를 형성하기 위해 화학적기상증착법에 의한 절연막(104)을 두께 'C' 만큼 형성하여(도 3

참조) 상기 열산화막(102)과 더불어 총 두께 'T2'인 이중층(105)을 형성한다.

여기서 상기 화학적기상증착 절연막(104)은 바람직하게는 산화막이며, 삼산화 알루미늄막, 오산화 탄탈륨막 또는 산화 지르코늄막 등이 될 수 있다.

<44> 도 3 및 도 10을 비교하면, 종래의 경우 실리콘 기판이 소모되 두께는 a2인 반면 본 발명에 따르면 'a1'으로서 종래 방법에 비해 월등히 작다. 일 예로 종래의 경우 열산화막을 약 100Å 두께로 형성할 때, 이중 기판이 소모되어 형성되는 열산화막 두께(반도체 기판이 소모되는 두께)는 약 44Å 정도이다. 반면 본 발명에 따르면 필요로 되는 두께인 100Å을 10Å의 열산화막 및 90Å의 화학적기상증착 절연막으로 형성할 경우, 10Å의 열산화막 중 단결정 실리콘 기판이 소모되어 형성되는 열산화막 두께는 겨우 약 4.4Å으로 종래에 비해 10배 정도 작게 형성되어 따라서 실리콘 기판도 10배 정도 작게 소모됨을 알 수 있다. 이는 필요로 되는 두께 'T2'를 가지는 열산화막을 형성함에 있어서, 종래의 경우 이를 모두 열산화 공정을 통한 열산화막(202)으로 형성하였지만, 본 발명에 따르면 열산화막(102) 및 화학적기상증착 산화막(104)의 이중층(105)으로 형성하였기 때문이다.

<45> 계속 해서 도 4를 참조하면, 상기 화학적기상증착 절연막(104) 상에 또 다른 화학적기상증착막(106)인, 절연막 또는 도전막이 형성된다.

<46> 여기서, 상기 열산화막(102)은 통상적인 방법에 따라 퍼니스에서 형성할 수 있다. 열산화 조건은 원하는 막질 두께에 따라 적당히 온도, 압력 등을 조절하며, 예를 들어 약 800℃에서 약 950℃이 온도범위에서 진행할 수 있다. 더 바람직하게는 상기 열산화막(102) 상에 형성되는 화학적기상증착 절연막(104)이 형성

되는 장비인 화학적기상증착 장비 내에서 형성된다. 즉, 동일한 화학적기상증착 장비 내에서 형성을 하기 때문에 단결정 실리콘 기판이 공기 중에 노출될 염려는 없으며 또한 사용되는 가스, 온도, 압력 등을 제어하여 용이하게 열산화막 및 화학적기상증착 산화막을 형성할 수 있다. 구체적으로, 화학적기상증착 장비를 이용하여 열산화막이 형성될 경우, 통상의 화학적기상증착 산화막 공정에 비해 온도 및 압력을 높게 하여 진행하고 실리콘 소스 가스를 배제하고 산소 소스 가스만 사용하여 진행한다. 열산화막 형성 후 화학적기상증착 산화막을 형성할 경우, 실리콘 소스 가스를 첨가하고 온도 및 압력을 조절하면 된다.

<47> 구체적으로, 화학적기상증착 장비 내에서 열산화막을 형성할 경우, 상기 열산화막(102)은, 공급되는 산소 소스로  $O_2$  또는  $N_2O$  또는 이들의 혼합 가스를 사용하여 약  $750^{\circ}C$ 에서 약  $1000^{\circ}C$  범위의 온도에서 약 1 토르 이상의 압력, 예를 들어 약 1토르에서 상압 정도의 압력에서 형성한다. 계속해서, 온도 및 압력을 낮추고 반응 가스를 변경하여, 즉, 실리콘 소스로  $SiH_4$  를 사용하고 산소 소스로  $N_2O$ 를 사용하여 약  $700^{\circ}C$ 에서 약  $850^{\circ}C$  범위의 온도에서, 약 0.5 토르에서 약 1 토르의 압력범위에서 열산화막 상에 화학적기상증착 산화막을 형성한다.

<48> 상기 열산화막(102) 상에 상기 화학적기상증착 산화막(104)을 대신해서 다른 절연막이 형성 될 경우, 역시 동일한 장비 내에서 소스 가스, 온도 조건 등을 변경하면 된다. 예를 들어, 알루미늄 삼산화막을 형성할 경우, 삼메틸 알루미늄( $Al(CH_3)_3$ )과 물( $H_2O$ )을 소스 가스로 사용하고, 탄탈륨 오산화막의 경우, 소스 가스로서  $Ta(OC_2H_5)_5$ 와  $O_2$ 를 사용한다.



- <49>      상기 화학적기상증착 산화막(104) 상에 형성되는 다른 화학적기상증착막(106)으로 산화막, 질화막, 폴리실리콘막 등이 있으며, 온도 및 압력 조건 그리고 적당한 소스 가스를 사용하여 동일 장비 내에서 연속하여 공정을 진행한다.
- <50>      이하에서는 상술한 본 발명에 따른 막질 형성 방법이 적용된 트렌치 격리 방법에 관하여 도 5에서 도 9를 참조하여 설명한다. 트렌치 격리 방법의 경우, 단결정 실리콘 기판이 소정 깊이로 식각 되는 점에서 상기 도 1에서 도 4의 실시예와 차이점이 있다. 먼저 도 5를 참조하면, 단결정 실리콘 기판(300) 상에 패드 산화막(302)이 형성된다. 본 발명에 따르면, 상기 패드 산화막(302)은 상기 도 1에서 도 4의 실시예에서 설명한 것 같이 열산화막(302a) 및 화학적기상증착 산화막(302b)의 이중층으로 형성될 수 있다. 이때 상기 열산화막(302a)은 퍼니스에서 형성되거나, 바람직하게는 화학적기상증착 장비 내에서 형성된다. 즉, 상기 열산화막(302a) 및 상기 화학적기상증착 산화막(302b)이 동일한 장비 내에서 형성된다. 다음 상기 패드 산화막(302) 상에 마스크용 실리콘 질화막(304)이 형성된다. 상기 마스크용 실리콘 질화막(304)은 화학적기상증착법에 의해서 형성되며, 상기 패드 산화막(302) 형성 장비와 동일한 장비 내에서 형성된다. 즉, 상기 패드 산화막(302) 형성 이후, 인-시츄(in-situ)로 상기 실리콘 질화막(304)이 형성 된다.
- <51>      다음 도 6을 참조하면, 상기 마스크용 실리콘 질화막(304), 상기 패드 산화막(302) 및 상기 단결정 실리콘 기판(300)을 사진 식각 공정을 통해 패터닝 하여 트렌치(306)를 형성한다.

<52>      상기 단결정 실리콘 기판(300) 식각에 따른 손상을 치유하기 위해 열산화 공정이 진행된다. 열산화 공정은 가능한 얇은 열산화막(308)을 형성하는 것이 바람직하며 약 20Å에서 약 100Å의 두께 범위로 형성된다. 이렇게 열산화막을 가능한 얇게 형성함으로써, 단결정 실리콘 기판의 소모량을 최소화 할 수 있고 또한 트렌치 상부 모서리 프로파일을 양호하게 가져갈 수 있어 게이트 절연막이 그 부분에서 얇게 형성되는 것을 방지할 수 있다. 다음 상기 열산화막(308) 상에 화학적기상증착 절연막질(310), 즉 라이너 물질막을 형성하여 열산화막(308) 및 화학적기상증착 절연막질(310)의 이중층(312)을 완성한다. 종래의 경우 이를 모두 열산화막의 단일층으로 형성하였다. 이때 형성되는 라이너 절연막질(310)의 두께는 이마 형성된 열산화막 (308)과 더불어 후속 라이너 질화막 형성에 따른 불순물질 침투를 방지할 수 있는 두께로 형성한다. 예를 들어 상기 라이너 절연막질(310)은 약 50Å에서 약 400Å의 두께 범위로 형성한다. 따라서 열산화막 형성을 최소화 하여 이에 따른 부피팽창을 최소화하고 이로 인한 물리적 또는 열적인 스트레스를 최소화 할 수 있는 동시에 상기 화학적기상증착 절연막질(310)이 상기 얇게 형성된 열산화막(308)과 더불어 단결정 실리콘 기판 쪽으로 불순물질이 침투하는 것을 방지한다.

<53>      바람직하게는, 상기 열산화막(308)이 화학적기상증착 장비 내에서 형성된다. 즉, 상기 열산화막(308) 및 상기 화학적기상증착 절연막질(310)은 동일한 화학적기상증착 장비 내에서 인-시츄(in-situ)로 형성되는 것이 바람직하며 이에 따라 단결정 실리콘 기판이 공기 중에 노출되어 미세한 파티클 등에 의한 오염 등의 발생을 피할 수 있다. 더 바람직하게는, 상기 화학적기상증착 라이너 절연

막질(310)은 화학적기상증착 산화막으로 형성된다. 이 경우, 화학적기상증착 산화막을 형성하기 전에 산소 소스 가스를 흘려 주어 열산화막을 형성하고 온도 및 압력 조건을 변경하고 실리콘 소스 가스를 추가로 흘려 줌으로써 연속하여 화학적기상증착 산화막을 형성할 수 있어, 공정이 단순해진다.

<54> 구체적으로 상기 열산화막(308)을 화학적기상증착 장비 내에서 형성할 경우, 산소 소스 가스로는 산소( $O_2$ ) 또는 일산화 이질소( $N_2O$ ) 가스 또는 이들 가스의 혼합 가스를 사용하여 약  $750^{\circ}C$ 에서 약  $1000^{\circ}C$ 의 온도 범위에서 약 1토르에서 상압 정도의 압력 범위에서 열산화 공정을 진행한다. 이때 상술한 바와 같이 상기 열산화막(308)은 가능한 얇게, 약  $20\text{\AA}$ 에서 약  $100\text{\AA}$ 의 두께 범위로 형성된다. 이때, 단결정 실리콘 기판이 소모되 두께는 약  $8.8\text{\AA}$ 에서 약  $44\text{\AA}$ 이다. 일 예로 약  $30\text{\AA}$ 의 열산화막을 화학적기상증착 장비 내에서 형성할 경우, 약  $1000\text{sccm}$ (Standard Cubic CentiMeter)에서 약  $30000\text{sccm}$  유량(flow rate)의 산소를 사용하여 약  $850^{\circ}C$ 에서 약 15분 정도 진행하여 형성할 수 있다. 또는  $1000\text{sccm}$ 에서 약  $30000\text{sccm}$  유량의 일산화 이질소를 사용하여 약  $850^{\circ}C$ 에서 약 8분 동안 진행하여 형성할 수 있다.

<55> 계속하여 동일한 화학적기상증착 장비 내에서, 소스 가스를 변경하고, 온도

및 압력 조건 등을 변경하여, 즉 온도 및 압력을 낮추어 상기 화학적기상증착 라이너 절연막질(310)을 형성한다. 상기 화학적기상증착 절연막질(310)로 산화막을 사용할 경우, 약 700℃에서 약 850℃의 온도 범위에서 약 0.5 토르에서 1토르 이하의 압력 범위에서 진행하고 사용되는 실리콘 소스 가스는 실란( $\text{SiH}_4$ )이고 산소 소스 가스는 일산화 이질소 가스를 사용한다. 여기서 형성되는 화학적기상증착 산화막의 두께는 이미 형성된 상기 열산화막(308) 두께에 좌우되며, 상기 열산화막(308)과 더불어 물질침투를 방지할 수 있도록 그 두께를 조절한다. 예를 들어 약 50Å에서 약 400Å의 두께 범위로 형성한다.

<56> 또는 상기 화학적기상증착 산화막 대신 후속 공정으로 형성되는 질화막 라이너에 대해 식각 선택비를 가지는 절연막질이 사용될 수 있다. 예를 들어 알루미늄 삼산화막( $\text{Al}_2\text{O}_3$ ), 탄탈륨 오산화막( $\text{Ta}_2\text{O}_5$ ), 지르코늄 산화막 등이 사용된다. 알루미늄 삼산화막의 경우 약 150sccm의 삼메틸 알루미늄( $\text{Al}(\text{CH}_3)_3$ )과 약 150sccm의 물( $\text{H}_2\text{O}$ )을 소스 가스로 사용하여 약 350℃에서 약 0.5 Torr의 압력 하에서 형성하며, 탄탈륨 오산화막의 경우 소스 가스로서  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 와  $\text{O}_2$ 를 사용한다.

<57> 다음 도 8을 참조하면, 상기 화학적기상증착 절연막질(310) 상에 라이너 질화막(314)이 약 30Å에서 약 100Å의 두께 범위로 형성된다. 상기 라이너 질화막(314) 또한 동일한 화학적기상증착 장비 내에서 형성되며, 트렌치 내벽을 이루는 식각된 단결정 실리콘 기판의 산화를 방지하고 트렌치 내벽에 가해지는 스트레스를 완충하는 기능을 한다. 다음 동일한 화학적기상증착 장비 내에서 상기

트렌치(306)를 완전히 채우도록 트렌치 격리 물질(316)을 형성한다. 상기 트렌치 격리 물질(316)로 산화막 계열의 절연막이 사용되며, 예를 들어 비.피.에스.지(BoroPhosphoSilicateGlass) 또는 고밀도플라즈마(High Density Plasma:HDP) 산화막 등이 사용될 수 있다. 여기서, 고밀도플라즈마 산화막을 사용할 경우에 하지막인 상기 라이너 질화막(314)을 보호하기 위해 중온산화막을 상기 라이너 질화막(314) 상에 더 형성하는 것이 적합하다.

<58> 후속 공정으로 통상적인 공정에 따라 평탄화 공정, 인산 스트립 공정 등을 진행하여 트렌치 격리 구조(318)를 도 9에 도시된 바와 같이 완성한다. 여기서, 도 9에 도시된 바와 같이, 본 발명에 따르면, 화학적기상증착 라이너 절연막질(310)이 라이너 질화막(314) 및 마스크용 실리콘 질화막(304) 사이에 개재하고 있어, 인산 스트립에 의한 상기 마스크용 실리콘 질화막(304) 마스크의 제거시 라이너 질화막(314)의 노출 면적을 최소화 하여 트렌치 내부로 라이너 질화막이 식각되어 파이는 이른바 덴트(dent)를 최소화 할 수 있다.

<59> 후속 공정으로 게이트 전극을 형성하고 이온 주입 공정을 진행하여 소스 영역 및 드레인 영역을 형성하여 트랜지스터를 완성한다.

<60> 도 15는 본 발명에 따른 효과를 보여주기 위한 그래프로서, 가로축은  $N^+/P$  접합 누설 전류(단위:암페어)를 나타내고 세로축은 시료에 대한 분포도(단위:퍼센트)를 나타낸다. P형 반도체 기판은 그라운드로 하고  $N^+$  영역(약  $10^{15}$  atoms/cm<sup>2</sup>)은 약

2.5 볼트를 인가하여 측정하였다. 그래프에서 '-◇- A'는 트렌치 형성후 트렌치 격리 물질 증착 전에 형성되는 산화막을 모두 퍼니스에서 열산화를 통해 형성했을 경우를 나타내고, '-O- C'는 본 발명에 따라 트렌치 형성후 트렌치 격리 물질 증착 전에 형성되는 산화막을 화학적기상증착 열산화막(308) 및 화학적기상증착 산화막(310)의 이중층으로 형성했을 경우를 나타내고, '-□- B'는 트렌치 형성 후 곧 바로 트렌치 격리 물질을 형성 했을 경우를 나타낸다. 도시된 바와 같이, 종래 퍼니스에서의 열산화 공정으로 열산화막 단일층을 형성했을 때와 비교해서 본 발명에 따른 화학적기상증착 열산화막 및 화학적기상증착 산화막 구조가 거의 비슷한 누설 전류 특성을 나타내고 있음을 알 수 있습니다. 하지만 종래의 열산화막 단일층의 실리콘 기판이 소모되는 양에 비해 본 발명의 이중층 구조에 따르면 실리콘 기판의 소모되는 양이 적음은 앞에서 살펴보았다(도 4 및 도 10 비교). 따라서 종래와 동일한 누설 전류 특성을 가지면서도, 반도체 기판의 소모는 줄기 때문에 부피 팽창에 따른 반도체 기판 결함 등의 문제를 최소화 할 수 있다.

<61> 바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 예를 들어, 화학적기상증착 절연막질 형성 공정과 열산화막 형성 공정의 순서를 바꿔 진행할 수 도 있다. 즉, 먼저 화학적기상증착 절연막질을 형성한 후 열산화 공정을 진행하여 얇은 열산화막을 화학적기상증착 절연막질 및 단결정 실리콘 기판 계면 사이에 형성할 수 있다. 따라서 본 발명의 청구범위의

진정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

【발명의 효과】

- <62> 상술한 본 발명에 따르면, 열산화막의 두께를 얇게 형성할 수 있어 트렌치 상부 모서리 부분에서의 프로파일을 라운드지게 유지할 수 있고 이에 따라 트렌치 상부 모서리 부분에서 게이트 산화막이 얇게 형성되는 문제를 방지할 수 있어, 게이트 산화막의 신뢰성을 확보할 수 있으며, 단결정 실리콘 기판의 소모량을 최소화 하여 그에 따른 부피팽창을 최소화 할 수 있어 트렌치 내벽에 가해지는 물리적 열적 스트레스를 최소화할 수 있다.
- <63> 또한 이와 동시에, 얇은 열산화막의 물질 침투 방지 능력을 보완하는 화학적기상증착 절연막질이 형성됨으로써 열산화막 및 화학적기상증착 절연막질의 이중층 구조가 라이너 질화막 형성에 따른 불순물질이 침투하는 것을 방지하여 트렌치스터 특성 열화를 방지할 수 있다.
- <64> 또한 상기 화학적기상증착 절연막질이 라이너 질화막과 마스크 질화막 사이에 형성되기 때문에 후속 마스크 질화막 제거 공정에서 라이너 질화막 식각 액이 트렌치 내부의 라이너 질화막을 따라 침투하는 것을 방지할 수 있어 덴트(dent) 없는 트렌치 격리를 구현 할 수 있다.
- <65> 또한 열산화막 및 화학적기상증착 절연막질이 인-시츄로 형성되어, 즉 열산화 공정이 화학적기상증착 장비 내에서 진행되어, 공정이 간단해 지고, 공정중에

실리콘 기관이 공기 중에 노출되지 않아 미세한 파티클에 의한 오염 등의 문제 발생을 피할 수 있다.



**【특허청구범위】****【청구항 1】**

화학적기상증착 장비 내에서 단결정 실리콘 기판 표면에 열산화막을 성장시키는 제1공정; 및

상기 화학적기상증착 장비 내에서 상기 열산화막 상에 화학적기상증착 물질막을 형성하는 제2공정을 포함하여 이루어 지는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 열산화막은 약 20Å에서 약 100Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 물질막은, 산화막, 삼산화 알루미늄막, 산화 지르코늄막 또는 오산화 탄탈륨막을 포함하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 화학적기상증착 물질막 상에, 상기 화학적기상증착 장비 내에서 추가의 물질막을 형성하는 제3공정을 더 포함하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 제1공정은 산소 또는 일산화 이질소( $N_2O$ ) 가스 또는 이들 가스의 혼합 가스를 소스 가스로 사용하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 6】**

제 1 항에 있어서,

상기 제1공정은 약  $750^{\circ}\text{C}$ 에서 약  $1000^{\circ}\text{C}$ 의 온도 범위에서 진행되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 7】**

제 1 항에 있어서,

상기 제1공정은 약  $750^{\circ}\text{C}$ 에서 약  $1000^{\circ}\text{C}$ 의 온도 범위에서 진행되고, 상기 제2공정은 약  $700^{\circ}\text{C}$ 에서 약  $850^{\circ}\text{C}$ 의 온도 범위에서 진행되어 산화막을 형성하는 것을 특징으로 하는 반도체 장치의 막질 형성 방법.

**【청구항 8】**

제 1 항에 있어서,

상기 단결정 실리콘 기판 표면은 트렌치 격리 방법에 의해 단결정 실리콘 기판이 소정 깊이 식각되어 형성된 트렌치의 바닥 및 측벽이며,

상기 열산화막은 약 20Å에서 약 100Å의 두께 범위로 형성되고, 상기 물질막은 약 50Å에서 약 400Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 장치의 막질 형성 방법.

【청구항 9】

제 8 항에 있어서,

상기 물질막은, 산화막, 삼산화 알루미늄막, 산화 지르코늄막 또는 오산화 탄타륨막을 포함하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

【청구항 10】

제 8 항에 있어서,

상기 제1공정은 산소 또는 일산화 이질소( $N_2O$ ) 가스 또는 이들 가스의 혼합 가스를 소스 가스로 사용하여, 약 750℃에서 약 1000℃의 온도 범위에서 진행되고, 상기 제2공정은 일산화 이질소 및 실란( $SiH_4$ ) 소스 가스를 사용하여 약 700℃에서 약 850℃의 온도 범위에서 진행되는 것을 특징으로 하는 반도체 제조 공정의 산화막 형성 방법.

【청구항 11】

제 8 항에 있어서,

상기 물질막 상에 상기 화학적기상증착장비 내에서 약 30Å에서 약 100Å의 두께 범위를 갖는 라이너 질화막을 형성하는 공정과, 상기 라이너 질화막 상에 상기 화학적기상증착장비 내에서 트렌치를 완전히 채우도록 약 3000Å에서 약

10000Å의 두께 범위를 가지는 산화막을 더 형성하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

【청구항 12】

노출된 단결정 실리콘 기판 상에 화학적기상증착장비 내에서 열산화막을 형성하는 제1공정; 및

동일한 화학적기상증착장비 내에서 상기 열산화막 상에 화학적기상증착 산화막을 형성하는 제2공을 포함하는 반도체 제조 공정의 산화막 형성 방법.

【청구항 13】

제 12 항에 있어서,

상기 제1공정은 약 750℃에서 약 1000℃의 온도 범위에서 진행되고, 상기 제2공정은 약 700℃에서 약 850℃의 온도 범위에서 진행되는 것을 특징으로 하는 반도체 제조 공정의 산화막 형성 방법.

【청구항 14】

제 13 항에 있어서,

상기 제1공정은 산소 또는 일산화 이질소( $\text{N}_2\text{O}$ ) 가스 또는 이들 가스의 혼합 가스를 소스 가스로 사용하고, 상기 제2공정은 일산화 이질소 및 실란( $\text{SiH}_4$ ) 가스를 소스 가스로 사용하는 것을 특징으로 하는 반도체 제조 공정의 산화막 형성 방법.

**【청구항 15】**

단결정 실리콘 기판을 식각하여 형성된 트렌치 내부에 열산화막을 형성하는 단계;

상기 열산화막 상에 콘포말한 라이너 물질막을 형성하는 단계; 및

상기 콘포말한 화학적기상증착 물질막 상에 라이너 질화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 16】**

제 15 항에 있어서,

상기 열산화막은 약 20Å에서 약 100Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 17】**

제 15 항에 있어서,

상기 라이너 물질막은 약 50Å에서 약 400Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 18】**

제 15 항에 있어서,

상기 라이너 물질막은 산화막, 삼산화 알루미늄막, 산화 지르코늄막 또는 오산화 탄탈륨막으로 형성되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 19】**

제 15 항에 있어서,

상기 열산화막, 상기 라이너 물질막 그리고 상기 라이너 질화막은 동일한 화학적기상증착 장비 내에서 형성되는 것을 특징으로 하는 반도체 제조 공정의 물질막 형성 방법.

**【청구항 20】**

제 19 항에 있어서,

상기 열산화막은, 산소 또는 일산화 이질소( $N_2O$ ) 가스 또는 이들 가스의 혼합 가스를 소스 가스로 사용하여, 약  $750^{\circ}C$ 에서 약  $1000^{\circ}C$ 의 온도 범위에서 형성하고, 상기 라이너 물질막은, 일산화 이질소 및 실란( $SiH_4$ ) 가스를 소스 가스로 사용하여 약  $700^{\circ}C$ 에서 약  $850^{\circ}C$ 의 온도 범위에서 진행하여 형성되는 고온 산화막인 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 21】**

제 20 항에 있어서,

상기 동일한 화학적기상증착 장비 내에서 상기 라이너 질화막 상에 트렌치 격리 물질을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 22】**

소자 분리를 위한 트렌치 격리 형성 방법에 있어서,

단결정 실리콘 기판을 식각하여 트렌치를 형성한 후, 상기 트렌치 내부에 형성되는 막질을 모두 동일한 화학적 기상증착 장비 내에서 형성하는 것을 특징으로 하는 반도체 제조 공정의 물질막 형성 방법.

【청구항 23】

제 22 항에 있어서,

상기 트렌치 내부에 형성되는 막질은, 적어도 상기 트렌치 형성직후 형성되는 열산화막, 상기 열산화막 상에 형성되는 라이너 물질방지막, 상기 라이너 물질방지막 상에 형성되는 라이너 질화막 그리고 상기 라이너 질화막 상에 상기 트렌치를 완전히 채우도록 형성되는 트렌치 격리 물질을 포함하는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

【청구항 24】

제 23 항에 있어서,

상기 열산화막은 약 20Å에서 약 100Å의 두께 범위로 형성되고, 상기 라이너 물질방지막은 약 50Å에서 약 400Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

【청구항 25】

제 23 항에 있어서,

상기 열산화막은 산소 또는 일산화 이질소( $N_2O$ ) 가스 또는 이들 가스의 혼합 가스를 소스 가스로 사용하여, 약 750℃에서 약 1000℃의 온도 범위에서 형성하고, 상기 라이너 물질막은, 일산화 이질소 및 실란( $SiH_4$ ) 가스를 소스 가스로

사용하여 약 700℃에서 약 850℃의 온도 범위에서 진행하여 형성되는 고온 산화막인 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 26】**

제 23 항에 있어서,

상기 라이너 물질막은 산화막, 삼산화 알루미늄막, 산화 지르코늄막 또는 오산화 탄탈륨막으로 형성되는 것을 특징으로 하는 반도체 제조 공정의 막질 형성 방법.

**【청구항 27】**

실리콘 기판을 소정깊이 식각하여 형성된 소자 분리용 트렌치;

상기 트렌치 바닥 및 측벽에 위치한 약 20Å에서 약 100Å의 두께를 가지는 열산화막;

상기 열산화막 상에 위치한 약 50Å에서 약 400Å의 두께를 가지는 화학적 기상증착 물질방지막;

상기 열산화막 상에 위치한 라이너 질화막; 그리고,

상기 라이너 질화막 상에 위치한 상기 트렌치를 완전히 채우는 트렌치 격리 물질막을 포함하는 소자 분리 트렌치 격리 구조물.

**【청구항 28】**

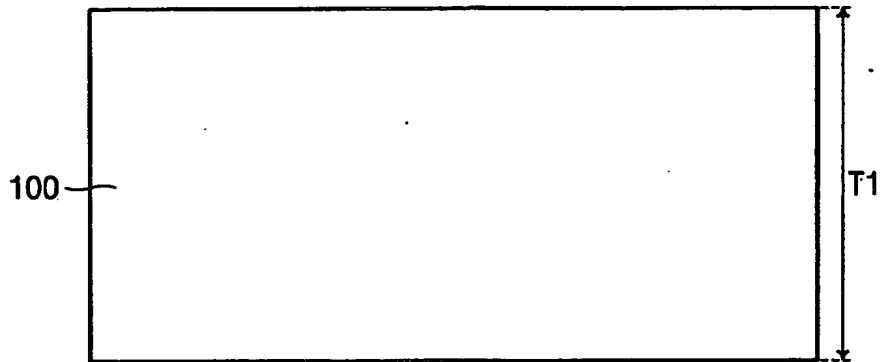
제 27 항에 있어서,



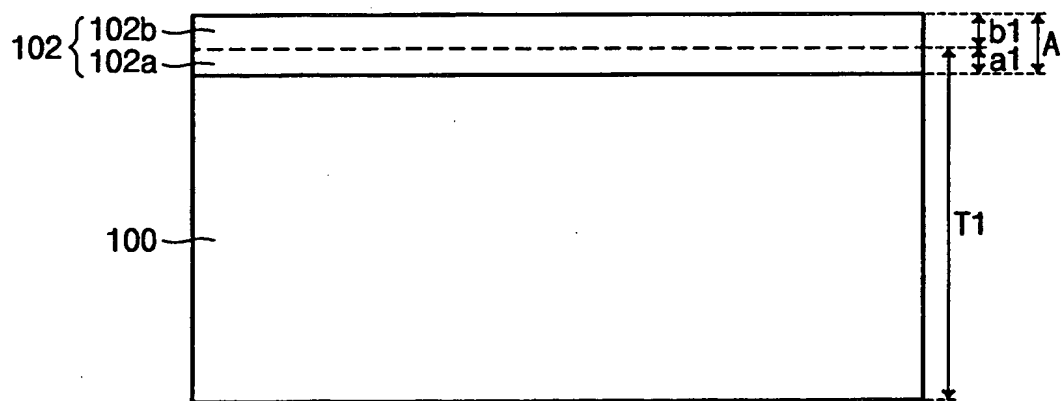
상기 열산화막은 상기 화학적기상증착 물질막과 동일한 화학적기상증착 장비 내에서 형성되며, 상기 화학적기상증착 물질막은 알루미늄 삼산화막인 것을 특징으로 하는 소자 분리 트렌치 격리 구조물.

【도면】

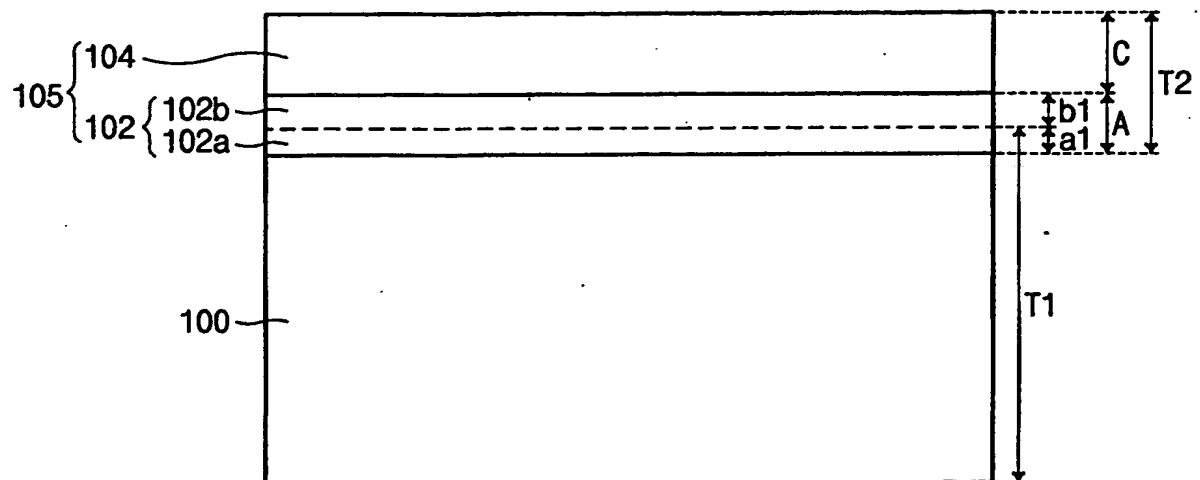
【도 1】



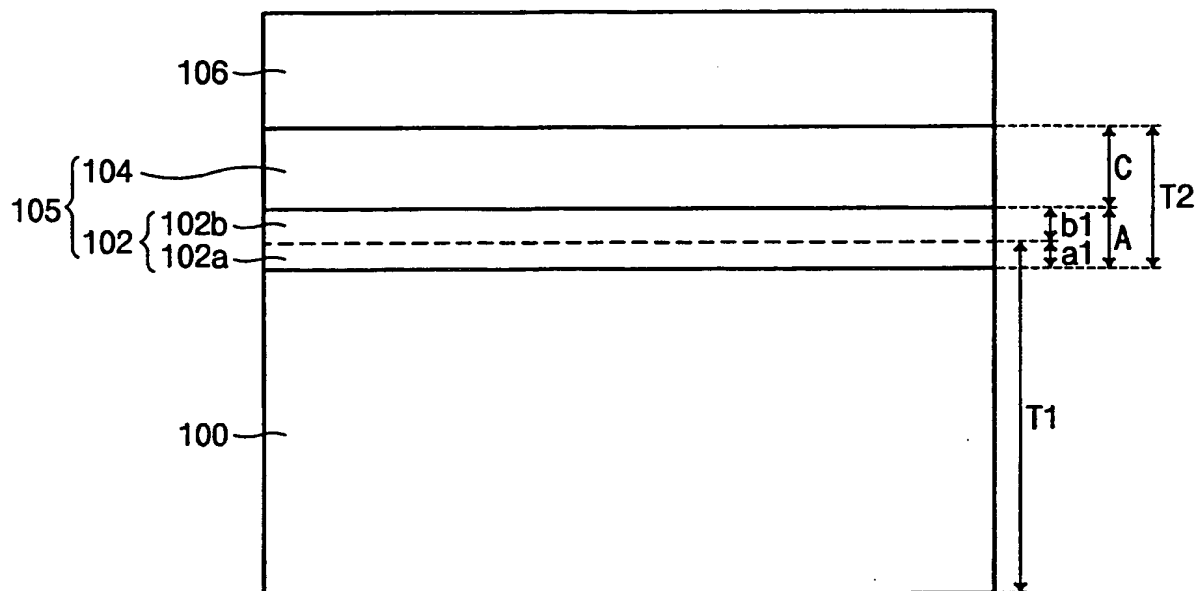
【도 2】



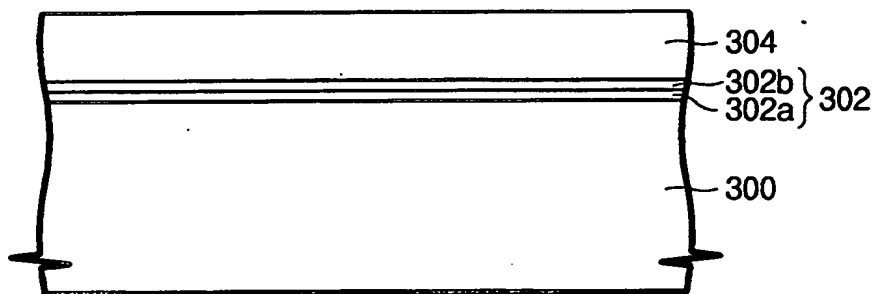
【도 3】



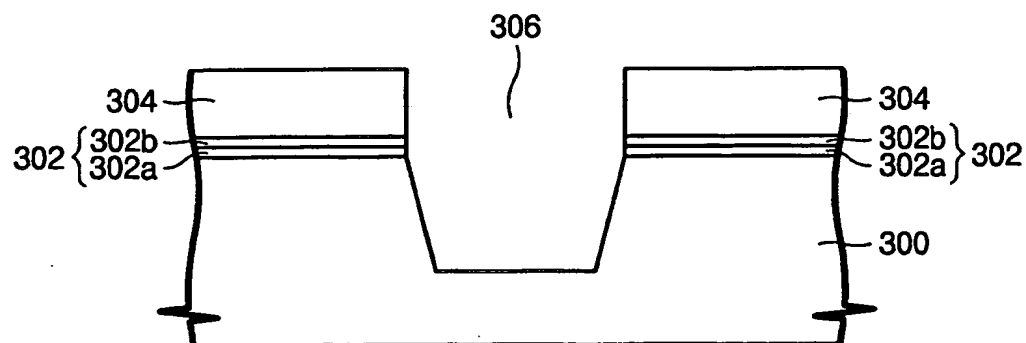
【도 4】



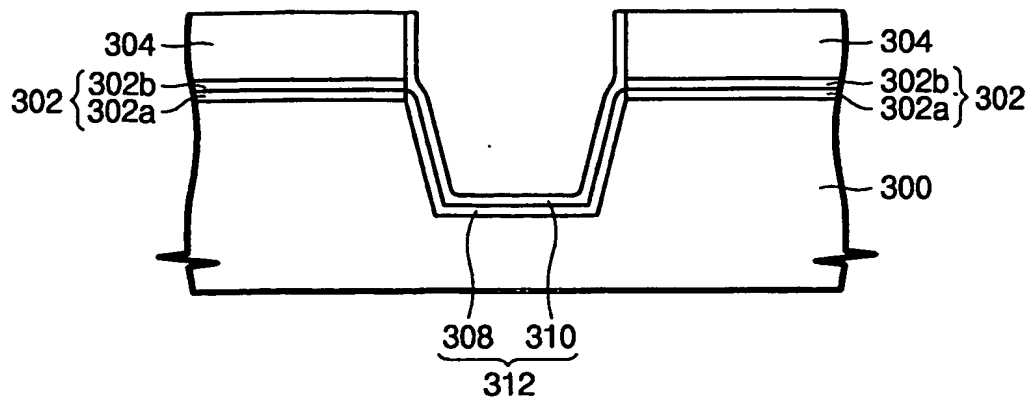
【도 5】



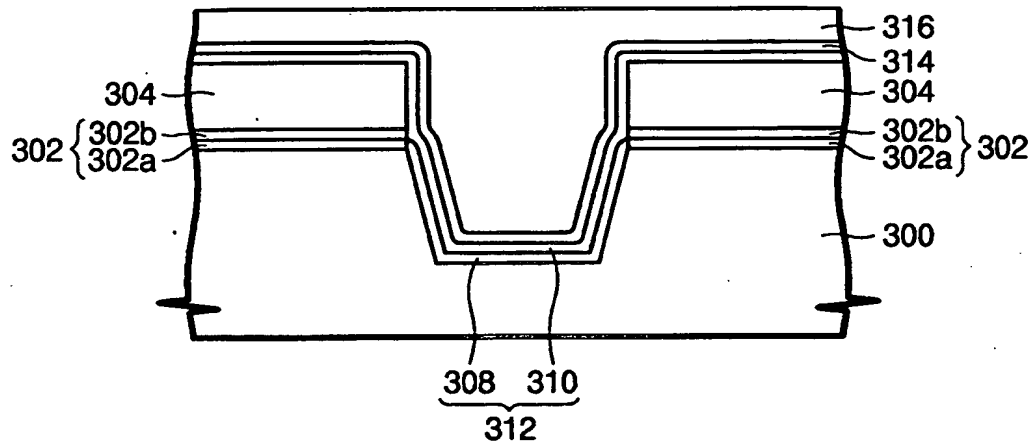
【도 6】



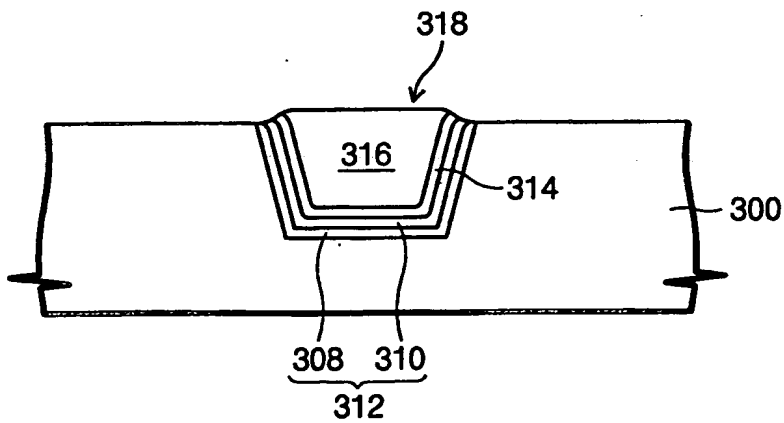
【도 7】



【도 8】

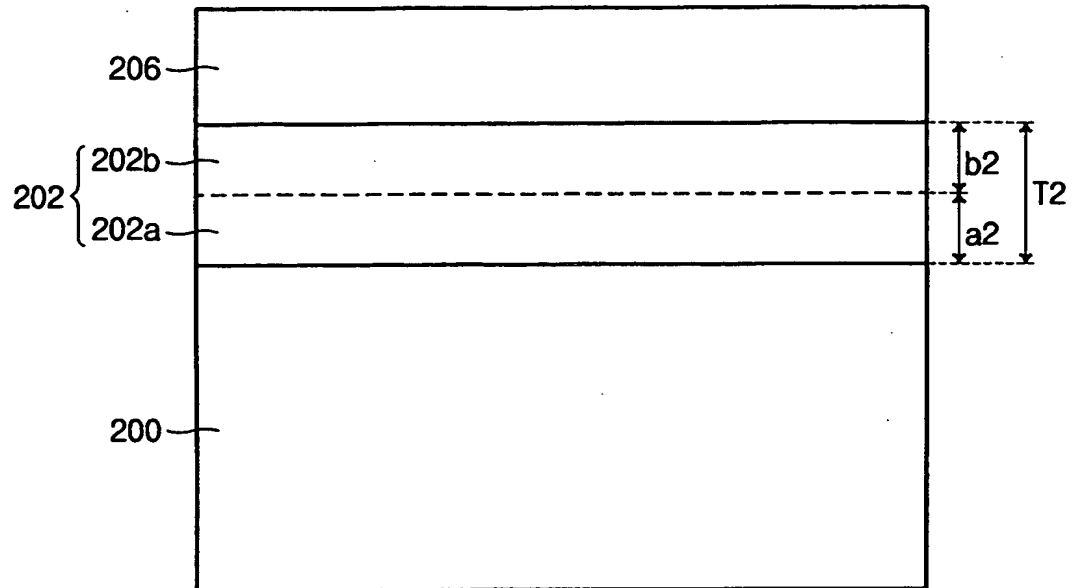


【도 9】

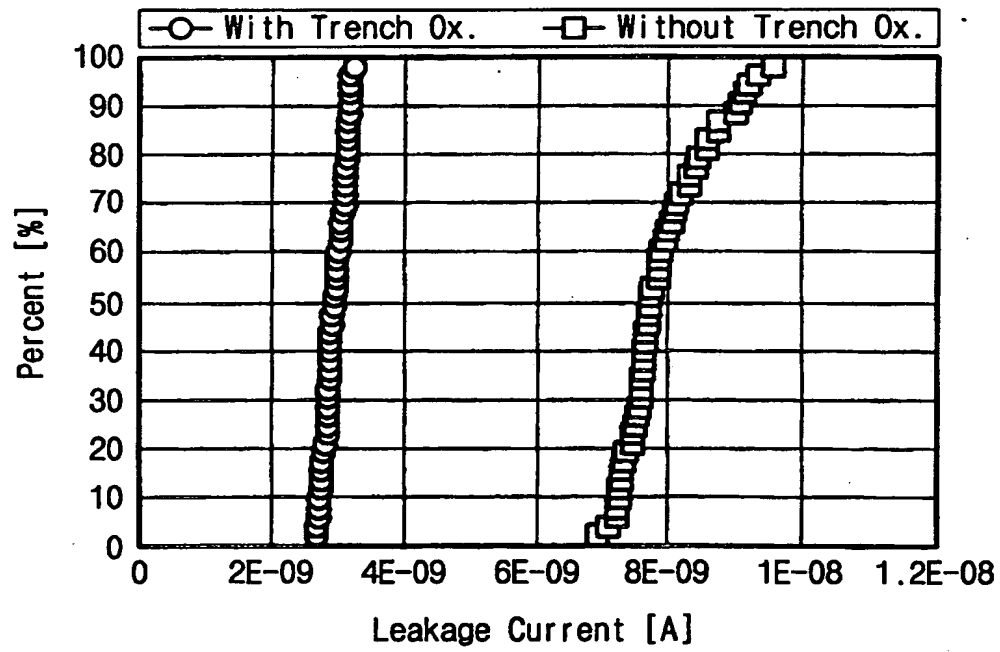


【도 10】

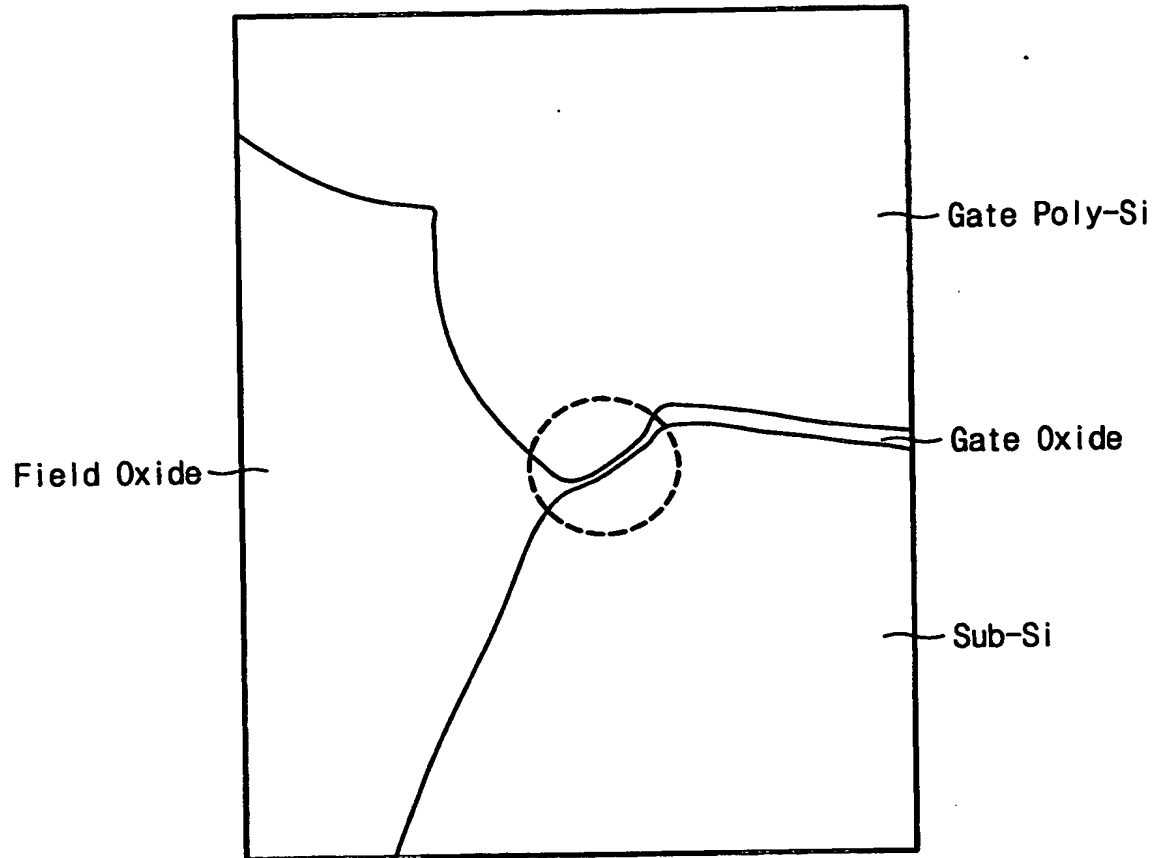
(Prior Art)



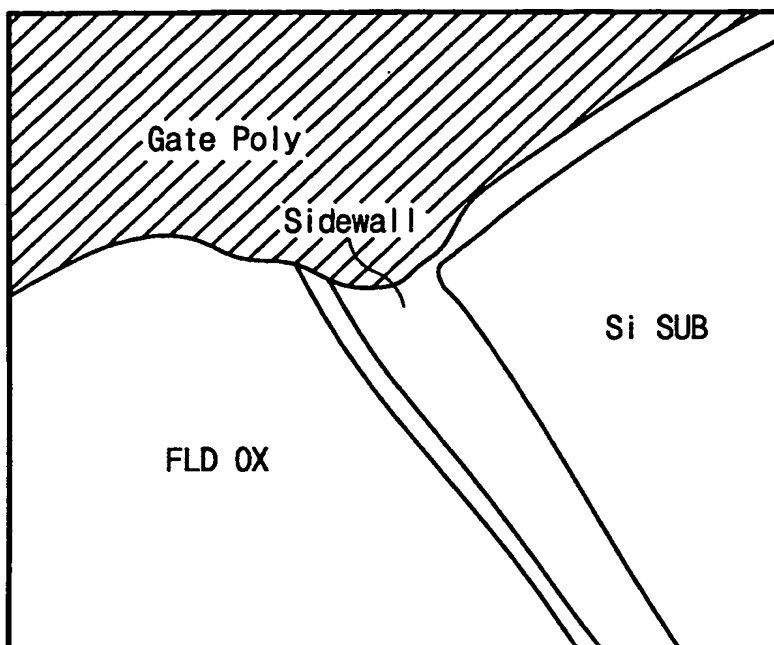
【도 11】



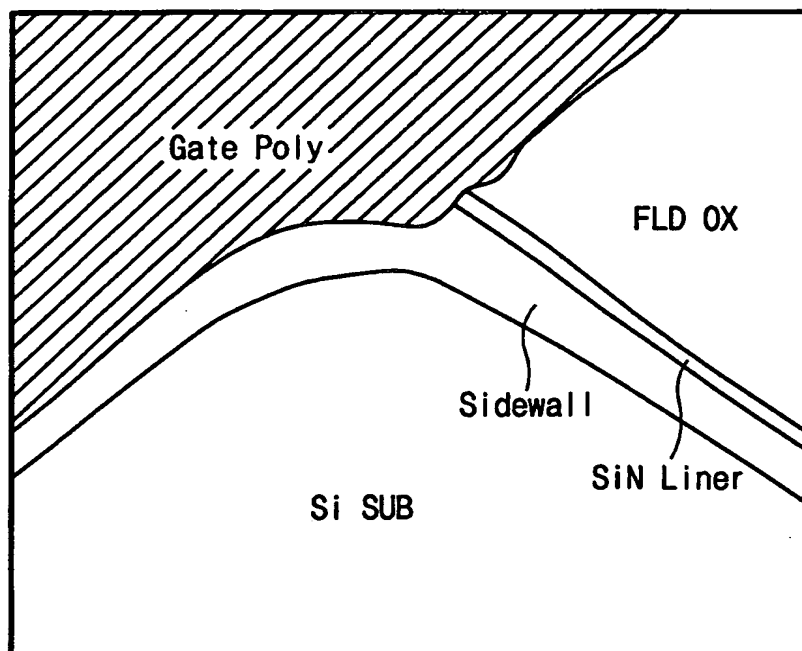
【도 12】



【도 13】



【도 14】



【도 15】

